

9-4-01
PATENT
790001-2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JC929 U.S. PTO
09/870085
05/30/01

Applicants : Hiroyuki Yano et al.
U.S. Serial No. : Not Known Yet
Filing Date : May 30, 20001
For : **MANUFACTURING METHOD OF SEMICONDUCTOR
DEVICE**
Group Art Unit : Not Known Yet

745 Fifth Avenue
New York, New York 10151

EXPRESS MAIL

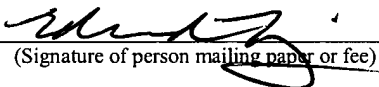
Mailing Label Number: EL742673934US

Date of Deposit: May 30, 2001

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" Service under 37 CFR 1.10 on the date indicated above and is addressed to: Assistant Commissioner for Patents, Washington, DC 20231.

EDWARD NAY

(Typed or printed name of person mailing paper or fee)



(Signature of person mailing paper or fee)

CLAIM OF PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Applicants hereby claim of priority under 35 U.S.C. §119 and for 120, from
Japanese Application No. 2000-163045, a certified copy of which is enclosed.

Acknowledgment of the claim of priority and of the receipt of said certified copy
is respectfully requested.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicants

By:



Grace L. Pan
Registration No. 39,440
Tel. (212) 588-0800
Fax (212) 588-0500

BEST AVAILABLE COPY

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC929 U.S. PTO
09/870085
05/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 5月31日

出 願 番 号

Application Number:

特願2000-163045

出 願 人

Applicant(s):

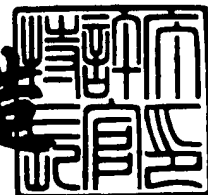
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 A000002901

【提出日】 平成12年 5月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 4

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 矢野 博之

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

 【氏名】 奥村 勝弥

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

半導体基板に、半導体素子を形成する半導体装置の製造方法において、
前記半導体基板を含む被処理基板の端部を選択的に研磨する工程を含むことを
特徴とする半導体装置の製造方法。

【請求項 2】

前記被処理基板の端部の研磨は、
該被処理基板に凹凸が形成される工程の後に行われることを特徴とする請求項
1 に記載の半導体装置の製造方法。

【請求項 3】

前記被処理基板に凹凸が発生する工程が、ドライエッチング工程であることを
特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記被処理基板の端部の研磨は、
前記半導体基板、或いは該被処理基板に対して所定の処理を行うプロセス装置
の汚染となる材料の成膜工程の後に行われることを特徴とする請求項 1 に記載の
半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板を含む被処理基板の端部を研磨して、パーティクルの発
生並びに半導体基板或いはプロセス装置の汚染を抑制する半導体装置の製造方法
に関する。

【0002】

【従来技術】

半導体基板に半導体素子を形成する形成過程においては、半導体基板のエッジ
部とベベル部では、以下に示すような問題点が発生していた。まず、トレンチキ

ャパシタの製造工程を用いて、エッチング工程において半導体基板のエッジ部とベベル部で発生する問題点を説明する。

【 0 0 0 3 】

先ず、トレンチキャパシタ形成工程においては、図 5 (a) に示すように、シリコンウェハ 1 1 の表面に、ホットウオール型の C V D 装置等でシリコン窒化膜 1 2 及びシリコン酸化膜 1 3 を順次形成する。次いで、図 5 (b) に示すように、シリコン酸化膜 1 3 上にレジストパターン 1 4 を形成する。しかし、レジストパターン形成後に、本来レジストパターンが形成されるべきでない領域に、レジストパターン 1 5 がウェハ 1 1 のエッジ部 1 1 a やベベル部 1 1 b に残ることがある。

【 0 0 0 4 】

次いで、図 5 (c) に示すように、レジストパターン 1 4 、 1 5 をマスクとして、シリコン酸化膜 1 3 、シリコン窒化膜 1 2 、及びシリコンウェハ 1 1 を順次エッチングして、キャパシターとなるトレンチ 1 6 を形成する。このとき、ウェハ 1 1 のエッジ部 1 1 a やベベル部 1 1 b に残ったレジストパターン 1 5 がマスクとなって、ウェハ 1 1 のエッジ部やベベル部に剣山状の突起 1 7 が発生する。そして、図 5 (d) に示すように、レジストパターン 1 4 を剥離する。

【 0 0 0 5 】

このような剣山状の突起 1 7 は、ウェハのエッジ部ではプラズマが十分到達せずにシリコン酸化膜 1 3 、シリコン窒化膜 1 2 の R I E エッチングが不十分となり、残ったシリコン酸化膜 1 3 、シリコン窒化膜 1 2 がマスクとなったりした場合にも発生する。

【 0 0 0 6 】

このような突起 1 7 は、ウェハキャリアーからのウェハの出し入れ時に、たやすく折れてパーティクルの発生原因となるため、放置しておくことはできない。

【 0 0 0 7 】

そこで、次に示す工程によりウェハのエッジ部やベベル部に形成された突起を除去する。先ず、図 6 (e) に示すように、ウェハ 1 1 のエッジ部 1 1 a 及びベベル部 1 1 b 以外にレジストパターン 6 1 を形成して素子形成部を保護した後、

図6 (f) に示すように、シリコン酸化膜、シリコン窒化膜、及びシリコンウェハのエッチング選択比が1 : 1 : 1の条件で、RIEエッチングする。

【0008】

次いで、シリコンウェハをWetエッチングして、ウェハのエッジ部及びベベル部の表面を滑らかにした後、図7 (g) に示すように、レジストを剥離して、剣山状の突起の除去工程が終了する。

【0009】

通常これに続く工程は、トレンチ内壁への不純物導入、キャパシターの誘電体膜であるシリコンオキシナイトライド膜の形成を経て、図7 (h) に示すように電極となるポリシリコン膜62を形成する。そして、図7 (i) に示すように、ポリシリコン膜62のCMP工程が行われる。

【0010】

上述した剣山状の突起の除去工程は、レジストパターン形成→RIEエッチング→Wetエッチング→レジスト剥離など、少なくとも4工程を要する。この突起除去工程が、スループットの悪化をまねいたり、コストを高くしたりする原因となり問題であった。

以上説明したように、エッチング工程では、剣山状の突起が発生し、この突起を除去するために、スループットの増加及びコストの増加を招くという問題があった。

【0011】

次に、従来のCu配線形成工程を用いて、配線形成工程において、半導体基板のエッジ部とベベル部で発生する問題点を説明する。図8, 9は、従来のCu形成工程における問題点を説明する図である。

先ず、図8 (a) に示すように、シリコンウェハ11にシリコン酸化膜32を形成した後、図8 (b) Bに示すように酸化膜を加工するためのレジストパターン33を形成する。その後、図8 (c) に示すように、酸化膜32をRIEエッチング加工した後、レジストパターン33を剥離して、配線溝34を完成させる。その後、図9 (d) に示すように、バリアメタルとしてTa₂N₅とCuをスパッタ成膜した後、メッキでCu膜35を成膜する。スパッタ成膜においては、ウェ

ハのエッジ部 11a やベベル部 11b にも Cu 膜 35 が形成される。本図では TaN 膜及び Cu 膜を 1 層の金属膜として図示している。

【0012】

この後、図 9 (e) に示すように、Cu 膜及び TaN 膜 35 に対して CMP を行ってシリコン酸化膜 32 上余分な Cu 膜及び TaN 膜 35 を除去して、Cu 配線を径制する。

【0013】

そして、図 9 (f) に示すように、上層の配線層の形成のためにシリコン窒化膜とシリコン酸化膜を形成する。

【0014】

ところが、通常これらのシリコン窒化膜やシリコン酸化膜はプラズマ CVD 法で成膜するため、ウェハ 11 のエッジ部全面をカバーすることはできず、Cu がウェハエッジ部に露出したままになってしまう。

【0015】

この場合、つぎの工程としてリソグラフィを行うためレジスト塗布装置や露光装置にこのウェハを導入するとウェハエッジ部の Cu が装置の搬送系を汚染する。

【0016】

また、次工程での RIE による酸化膜のエッチング時には、ウェハエッジ部の Cu がプラズマにさらされ、RIE エッチングチャンバーを汚染すると同時に、ウェハ自体も Cu で汚染される。また、さらなる次の工程では、アッシャーによりレジストの剥離が行われるが、アッシャーでは酸素プラズマを使用するため、ウェハエッジ部の Cu が酸化され、チャンバーおよびウェハを Cu で汚染するとともに、ウェハエッジ部の酸化された Cu がぼろぼろになり、パーティクルの発生源にもなる。

【0017】

したがって、このような、ウェハエッジ（ベベル）部の Cu 残りは、プロセス装置やウェハを汚染するという、深刻な問題があった。

【0018】

また、このような、汚染起因の工程は、Cuのみならず、FRAMにおけるPZT (Pb (Zr, Ti) O₃) 誘電膜やRu電極など数限りなくある。

【0019】

【発明が解決しようとする課題】

上述したように、ウェハのエッジ部やベベル部に発生した剣山状の突起を除去するためには、少なくとも4工程かかり、工期を長くしたり、製造コストを高くしたりする原因となるという問題があった。

【0020】

また、配線の形成時に、Cuがウェハエッジ部に露出したままになってしまい、つぎの工程としてリソグラフィを行うためレジスト塗布装置や露光装置にこのウェハを導入するとウェハエッジ部のCuが装置の搬送系を汚染する。レジスト膜の除去時にCuが参加されて、チャンバー及びウェハをCuで汚染すると共に、酸化されたCuがパーティクルの原因となるという問題があった。

【0021】

本発明の目的は、半導体基板を含む被処理基板の端部に発生した剣山状の突起の除去を迅速な工程で行うことができ、工期の短縮化並びに製造コストの低減を図り得る半導体装置の製造方法を提供することにある。

【0022】

また、本発明の別の目的は、半導体基板を含む被処理基板の端部に金属膜が露出することを抑制し、プロセス装置及び被処理基板の汚染、並びにパーティクルの発生を抑制し得る半導体装置の製造方法を提供することにある。

【0023】

【課題を解決するための手段】

〔構成〕

本発明は、上記目的を達成するために以下のように構成されている。

本発明は、半導体基板に、半導体素子を形成する半導体装置の製造方法において、前記半導体基板を含む被処理基板の端部を選択的に研磨する工程を含むことを特徴とする。

【0024】

本発明の好ましい実施態様を以下に記す。

前記被処理基板の端部の研磨は、該被処理基板に凹凸が形成される工程の後に行われること。

前記被処理基板に凹凸が発生する工程が、ドライエッチング工程であること。

前記被処理基板の端部の研磨は、前記半導体基板、或いは該被処理基板に対して所定の処理を行うプロセス装置の汚染となる材料の成膜工程の後に行われること。

【 0 0 2 5 】

〔作用〕

本発明は、上記構成によって以下の作用・効果を有する。

【 0 0 2 6 】

半導体基板を含む被処理基板の端部をエッチングすることにより、被処理基板の端部に発生した剣山状の突起の除去を迅速な工程で行うことができ、工期の短縮化並びに製造コストの低減を図り得る。

【 0 0 2 7 】

また、半導体基板を含む被処理基板の端部をエッチングすることにより、基板端部に金属膜が露出することを抑制し、プロセス装置及び被処理基板の汚染、並びにパーティクルの発生を抑制することができる。

【 0 0 2 8 】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。

【 0 0 2 9 】

〔第 1 の実施形態〕

本実施形態では、トレンチキャパシタの形成工程を例にして本発明の実施の形態について説明する。

【 0 0 3 0 】

図 1, 2 は、本発明の第 1 の実施形態に係わるトレンチキャパシタの形成工程の一部を示す工程断面図である。

【 0 0 3 1 】

先ず、図 1 (a) に示すように、シリコンウェハ 1 1 の表面に、ホットウオール型の C V D 装置等でシリコン窒化膜 1 2 及びシリコン酸化膜 1 3 を順次形成する。

【 0 0 3 2 】

次いで、図 1 (b) に示すように、シリコン酸化膜 1 3 上にレジスト膜の塗布、露光、現像を行って、レジストパターン 1 4 を形成する。しかし、レジスト膜の現像後に、本来レジストパターンが形成されるべきでない領域に、レジストパターン 1 5 がシリコンウェハ 1 1 のエッジ部 1 1 a やベベル部 1 1 b に残ることがある。

【 0 0 3 3 】

次いで、図 1 (c) に示すように、レジストパターン 1 4 をマスクとしてシリコン酸化膜 1 3、シリコン窒化膜 1 2、シリコンウェハ 1 1 と順次エッチングして、キャパシターとなるトレンチ 1 6 を形成する。このとき、ウェハ 1 1 のエッジ部やベベル部に残ったレジストパターン 1 5 がマスクとなって、図に示すような剣山状の突起がウェハのエッジ部 1 1 a やベベル部 1 1 b に発生する。

【 0 0 3 4 】

このような剣山状の突起 1 7 は、ウェハのエッジ部ではプラズマが十分到達せずにシリコン酸化膜 1 3、シリコン窒化膜 1 2 の R I E エッチングが不十分となり、残ったシリコン酸化膜 1 3、シリコン窒化膜 1 2 がマスクとなったりした場合にも発生する。

【 0 0 3 5 】

次いで、図 1 (d) に示すように、レジストパターン 1 4、1 5 を除去した後、図 2 (e) に示すように、トレンチ 1 6 内壁への不純物導入、キャパシターの誘電体膜であるシリコンオキシナイトライド膜（不図示）の形成を経て、ポリシリコン膜 1 8 を形成する。

【 0 0 3 6 】

次いで、図 2 (f) に示すように、ウェハ 1 1 のエッジ部 1 1 a 及びベベル部 1 1 b に対して研磨を行って、ウェハ 1 1 のエッジ部 1 1 a 及びベベル部 1 1 b の剣山状の突起 1 7 を取り除く。このとき、ポリシリコン膜 1 8 がマスクとなっ

て、トレンチ16内にスラリーが入り込むことが無いので、研磨後の洗浄が容易になる。

【0037】

この後、図2（g）に示すように、通常どおり、ポリシリコン膜18のCMPを行うと、トレンチキャパシタの上部電極が形成できる。

【0038】

上述した製造工程において、ウェハエッジ部やベベル部に剣山状の突起を取り除くのに要した工程は、ウェハ11のエッジ部11a及びベベル部11bに対するCMPを行うわずか1工程である。従来のように、レジストパターン形成、RIEエッチング、Wetエッチング、レジスト剥離の4工程と比べると大幅な工程短縮が達成される。

【0039】

なお、図1（d）に示すように、ウェハ11のエッジ部11aやベベル部11bに剣山状の突起17が発生した後、トレンチ16内壁への不純物導入、キャパシタの誘電体膜であるシリコンオキシナイトライド膜の形成などで、剣山状の突起が折れ、パーティクルの発生が懸念される場合は、レジストパターン形成→ウェハ11のエッジ部11a研磨、ベベル部11b研磨→レジストパターン剥離と行っても良い。この場合、工程は3工程で、従来の4工程と比べると、工程の短縮は1工程に過ぎないが、従来のレジストパターン形成→RIEエッチング→Wetエッチング→レジスト剥離の工程では、剣山状の突起の除去工程後もうねりのような小さな凹凸が残る。それに対し、レジスト塗布→ウェハのエッジ部11a研磨及びベベル部11b研磨→レジスト剥離の工程では、研磨により剣山状の突起が平坦化され、より平滑なウェハエッジ部やベベル部が得られるという効果がある。

【0040】

この効果を示すため、図6（d）に示す剣山状の突起を有するウェハ、図7（i）に示す従来技術のレジスト塗布→RIEエッチング→Wetエッチング→レジスト剥離の4工程で剣山状の突起を除去した後にポリシリコン膜のCMPを行ったウェハと、図2（g）に示す本発明のウェハのエッジ部及びベベル部研磨を

行ったウェハを、それぞれ25枚ずつ準備した。準備したウェハをカセットに入れ、スロット1（一番下）のウェハを別のカセットのスロット25（一番上）、スロット2のウェハを別のカセットのスロット24にという方法で、すべてのウェハを別のカセットに入れ替えるという作業を、搬送ロボットで10回行った後、ウェハ上の0.2 μ m以上のパーティクルの増加を調べてみた。

【0041】

その結果、図6（d）に示す剣山状の突起を有するウェハでは、パーティクルが平均326個の増加していた。図7（i）に示す従来技術により剣山状の突起を除去しポリシリコンのCMPまで行ったウェハでは、パーティクルが平均22個の増加していた。図2（g）に示す本発明のウェハエッジ（ベベル）研磨を行ったウェハでは、平均3個の増加という結果が得られた。

【0042】

従って、剣山状の突起を有するウェハではパーティクルの増加が著しいこと、また剣山状の突起を取り除いても、うねりのような小さな凹凸を有するウェハではパーティクルの増加があるのに対し、研磨を行い平滑なウェハエッジ部及びベベル部を持つウェハでは、パーティクルの増加がほとんどないことが示された。

【0043】

すなわち、剣山状の突起を有しなくても、ウェハエッジ部やベベル部のうねりのような小さな凹凸でもパーティクルの発生原因になるため、半導体装置製造の工程の中で、ウェハエッジ部やベベル部のうねりのような小さな凹凸が発生するような場合、ウェハエッジ（ベベル）研磨を行い、平滑なウェハエッジ（ベベル）部にすることが、パーティクル発生を抑えることが有効であることがわかった。

【0044】

さらに、3工程で研磨を行った場合は、従来の4工程の中で使用されるRIEエッチング→Wetエッチングに要するコストよりも安価であるため、コスト削減にもつながる。

【0045】

〔第2の実施形態〕

図 3, 4 は、本発明の第 2 の実施形態に係わる半導体装置の製造工程を示す工程断面図である。なお、製造工程は、C u 配線の形成工程である。

先ず、図 3 (a) に示すように、シリコンウェハ 1 1 上にシリコン酸化膜 3 2 形成する。次いで、図 3 (b) に示すように、酸化膜を加工するためのレジストパターン 3 3 を形成する。

【 0 0 4 6 】

次いで、図 3 (c) に示すように、シリコン酸化膜 3 2 を R I E によりエッチング加工した後、レジストを剥離して、配線溝 3 4 を形成する。

【 0 0 4 7 】

次いで、図 4 (d) に示すように、スパッタ法により T a N 及び C u を順次成膜した後、メッキで C u 膜 3 5 を成膜する。なお、図では、T a N 膜及び C u 膜 3 5 を 1 層の金属膜として図示している。T a N 膜及び C u 膜の成膜時に、ウェハ 1 1 のエッジ部 1 1 a やベベル部 1 1 b にも T a N 膜及び C u 膜 3 5 が形成される。

【 0 0 4 8 】

次いで、図 4 (e) に示すように、ウェハ 1 1 のエッジ部 1 1 a 及びベベル部 1 1 b に対して研磨を行い、ウェハ 1 1 のエッジ部 1 1 a 及びベベル部 1 1 b の T a N 膜及び C u 膜 3 5 を取り除く。次いで、図 4 (f) に示すように、C u 膜及び T a N 膜 3 5 に対して CMP を行って平坦化すると共に、シリコン酸化膜 3 2 上の余分な C u 膜及び T a N 膜 3 5 を除去する。

【 0 0 4 9 】

次いで、図 4 (g) に示すように、上層の配線層の形成のためにシリコン窒化膜及びシリコン酸化膜 3 6 をプラズマ C V D 法で形成する。なお、図 4 (g) では、シリコン窒化膜及びシリコン酸化膜を同一の絶縁層として図示している。以上の工程で、ウェハ表面・裏面・エッジ（ベベル）部全てにおいて、C u が露出していないのが確認できた。

【 0 0 5 0 】

これにより、つぎの工程としてリソグラフィを行うためレジスト塗布装置や露光装置の汚染、さらに次の工程である、酸化膜の R I E エッチングでの R I E エ

ツチングチャンバーやウェハ自体のCuによる汚染、また、さらに次の工程での、レジスト剥離でのプロセスチャンバーおよびウェハの汚染や酸化されたCuによるパーティクルの発生もなくなった。

【0051】

また、実施例ではCuを例に示したが、汚染が問題となる工程は、FRAMにおけるPZT誘電膜やRu電極の成膜など数限りなくあり、これらも、エッジ（ベベル）部研磨により汚染の問題は解決できる。

【0052】

なお、本発明は、上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0053】

【発明の効果】

以上説明したように本発明によれば、半導体基板を含む被処理基板の端部をエッチングすることにより、ウェハの端部に発生した剣山状の突起の除去を迅速な工程で行うことができ、工期の短縮化並びに製造コストの低減を図り得る。

【0054】

また、半導体基板を含む被処理基板の端部をエッチングすることにより、基板端部に金属膜が露出することを抑制し、プロセス装置及びウェハの汚染、並びにパーティクルの発生を抑制することができる。

【図面の簡単な説明】

【図1】

第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図2】

第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図3】

第2の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図4】

第2の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図5】

従来の半導体装置の製造工程を示す工程断面図。

【図 6】

従来の半導体装置の製造工程を示す工程断面図。

【図 7】

従来の半導体装置の製造工程を示す工程断面図。

【図 8】

従来の半導体装置の製造工程を示す工程断面図。

【図 9】

従来の半導体装置の製造工程を示す工程断面図。

【符号の説明】

1 1 …シリコン基板

1 1 a …エッジ部

1 1 b …ベベル部

1 2 …シリコン窒化膜

1 3 …シリコン酸化膜

1 4 …レジストパターン

1 5 …レジストパターン

1 6 …トレンチ

1 7 …突起

1 8 …ポリシリコン膜

3 2 …シリコン酸化膜

3 3 …レジストパターン

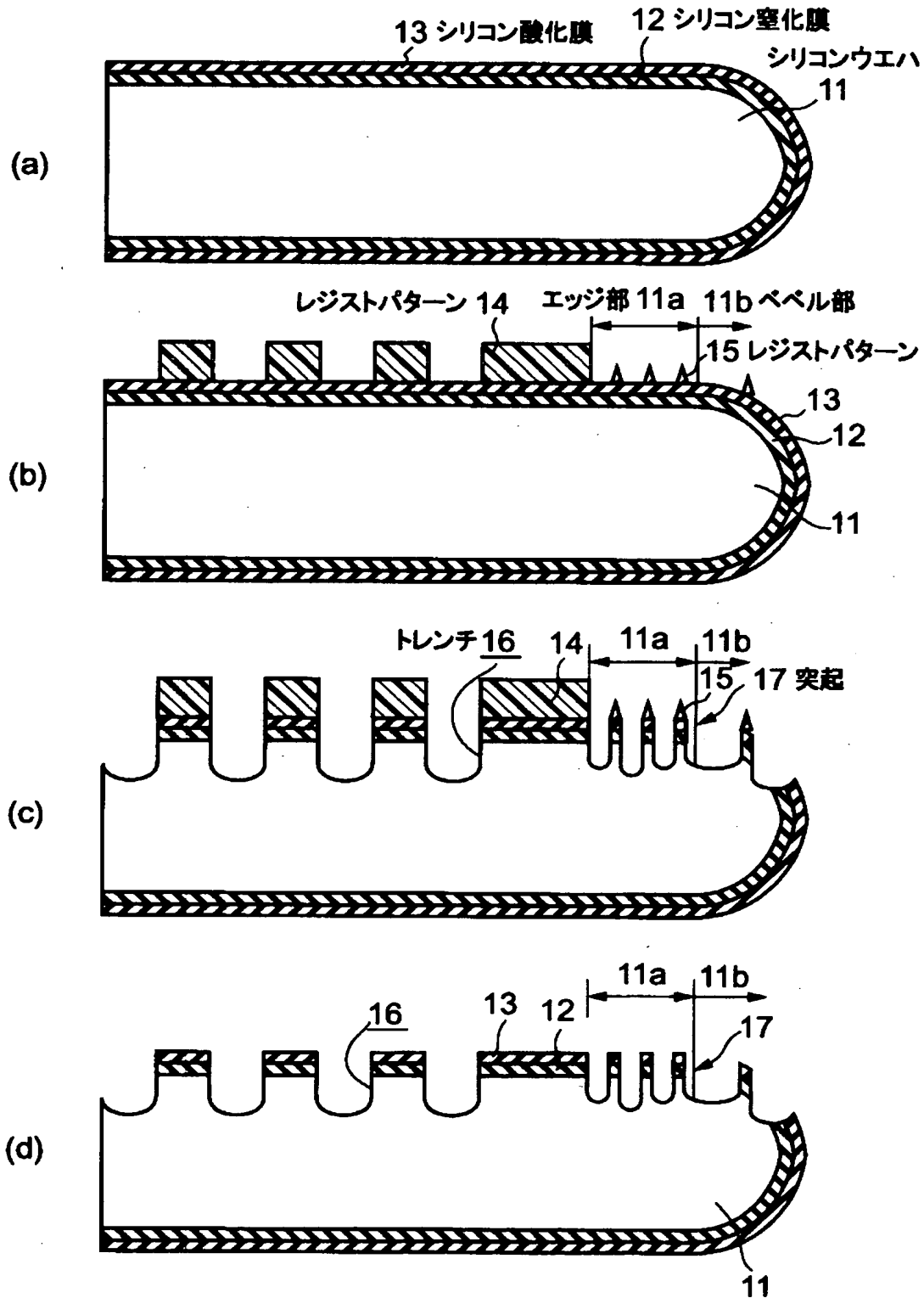
3 4 …配線溝

3 5 …Cu 膜及び Ta N 膜

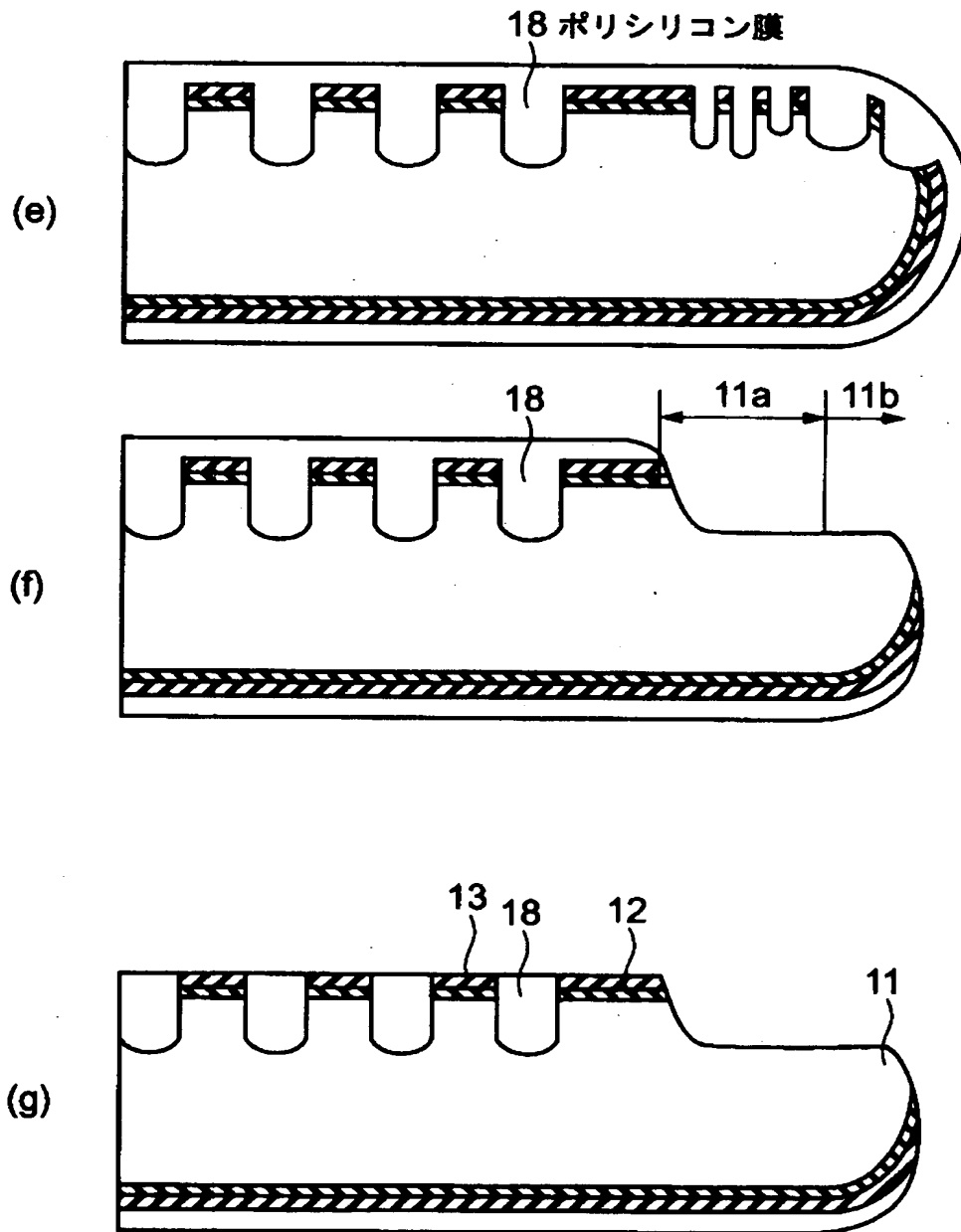
3 6 …シリコン窒化膜及びシリコン酸化膜

【書類名】 図面

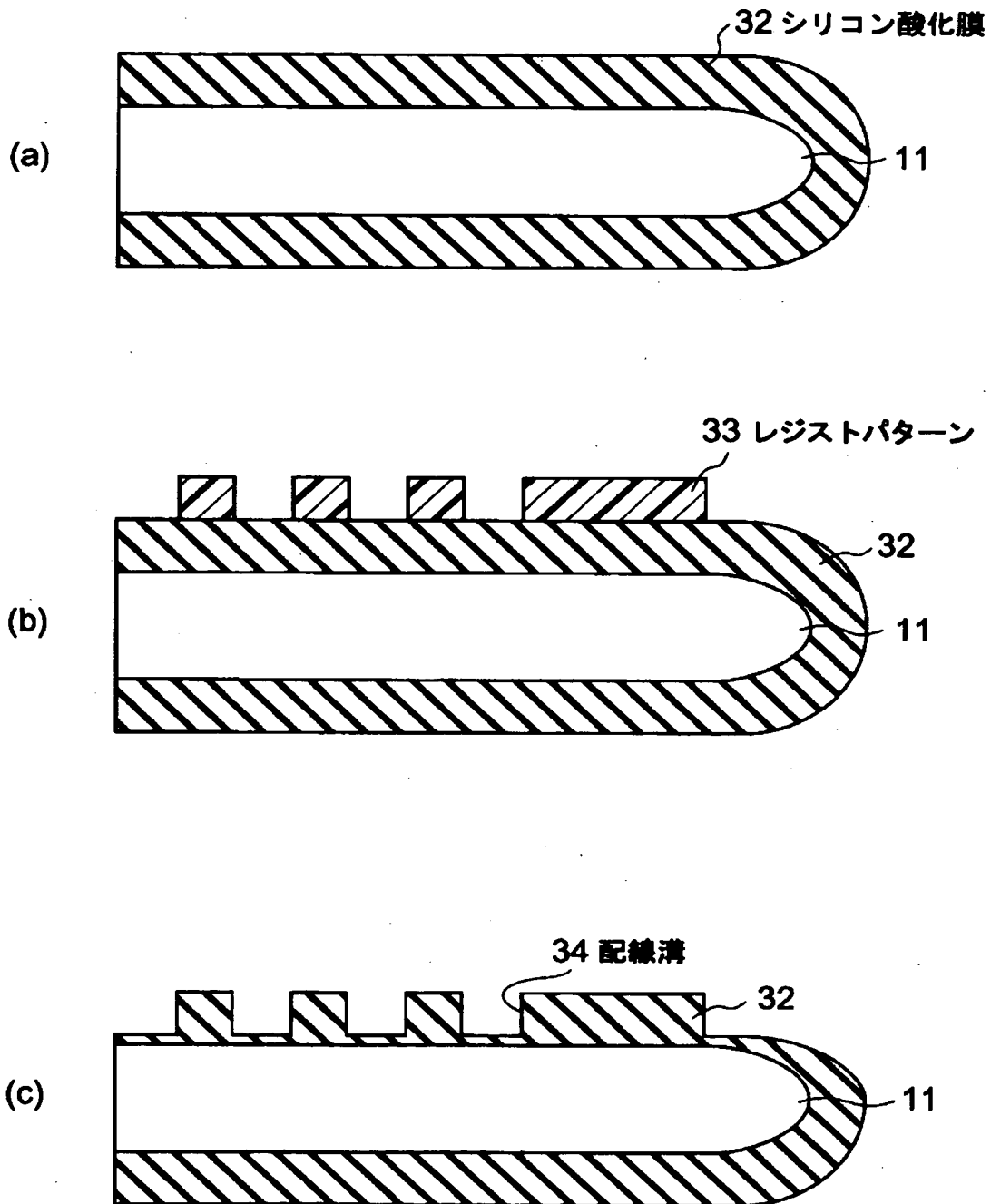
【図 1】



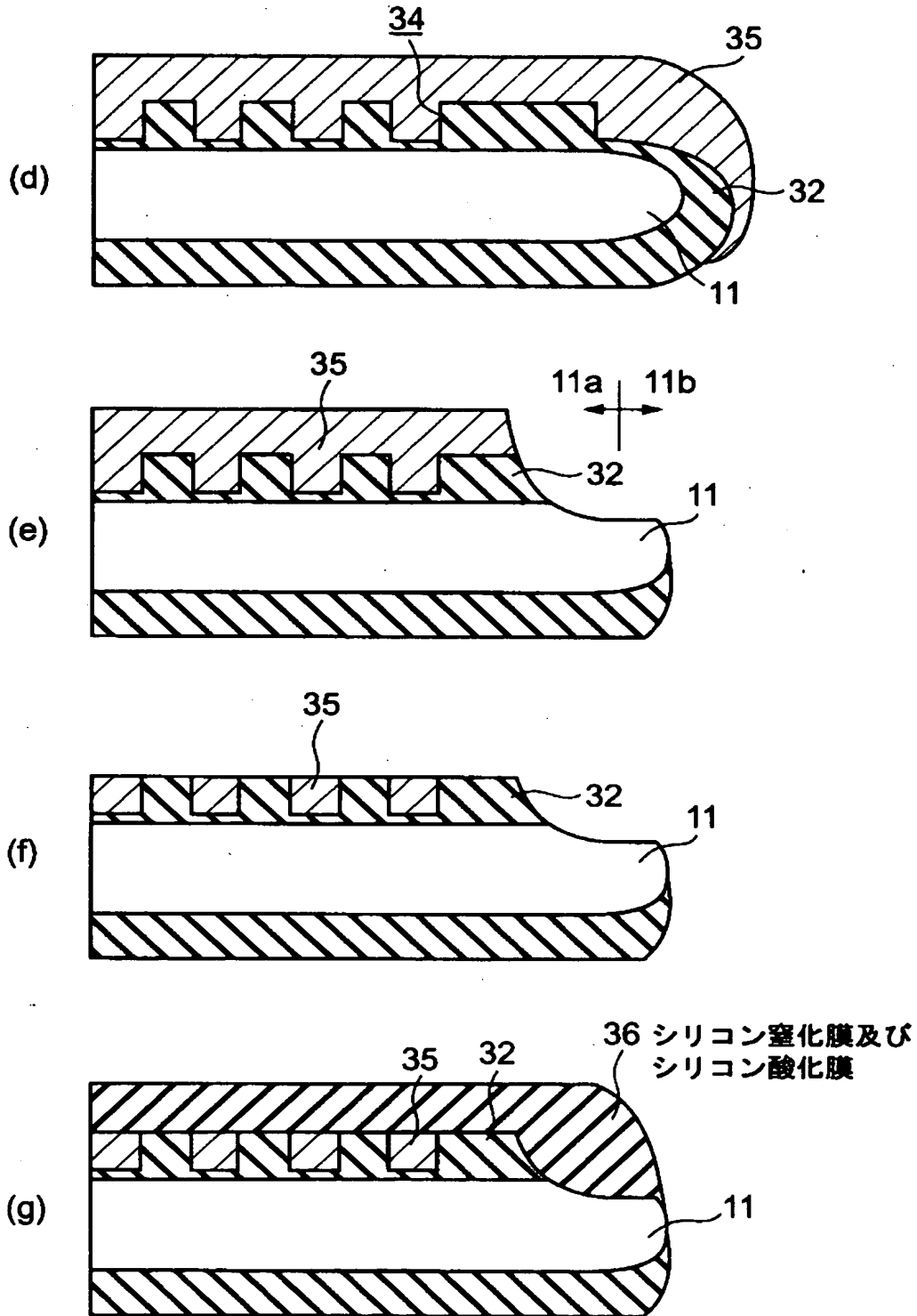
【図 2】



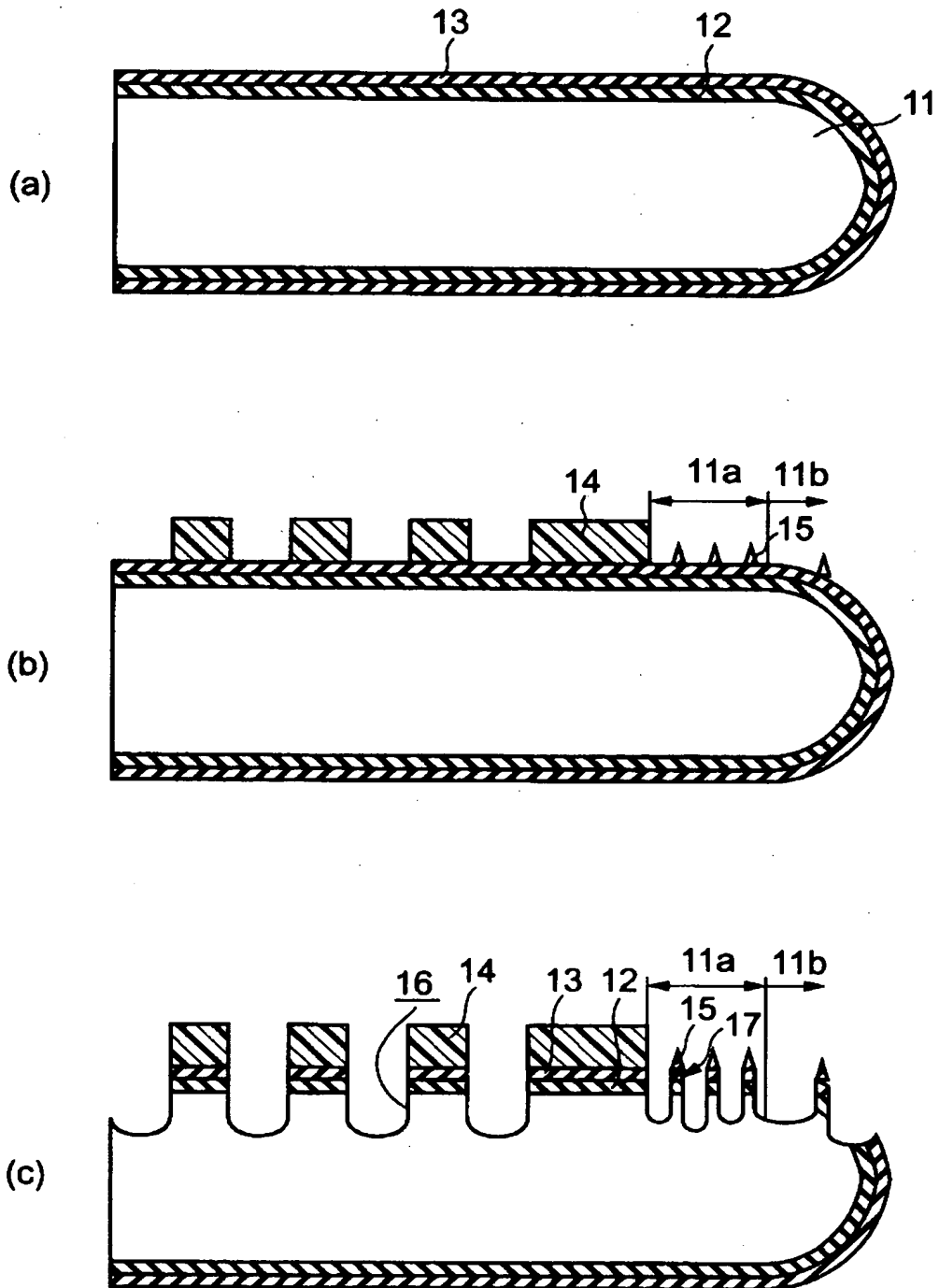
【図 3】



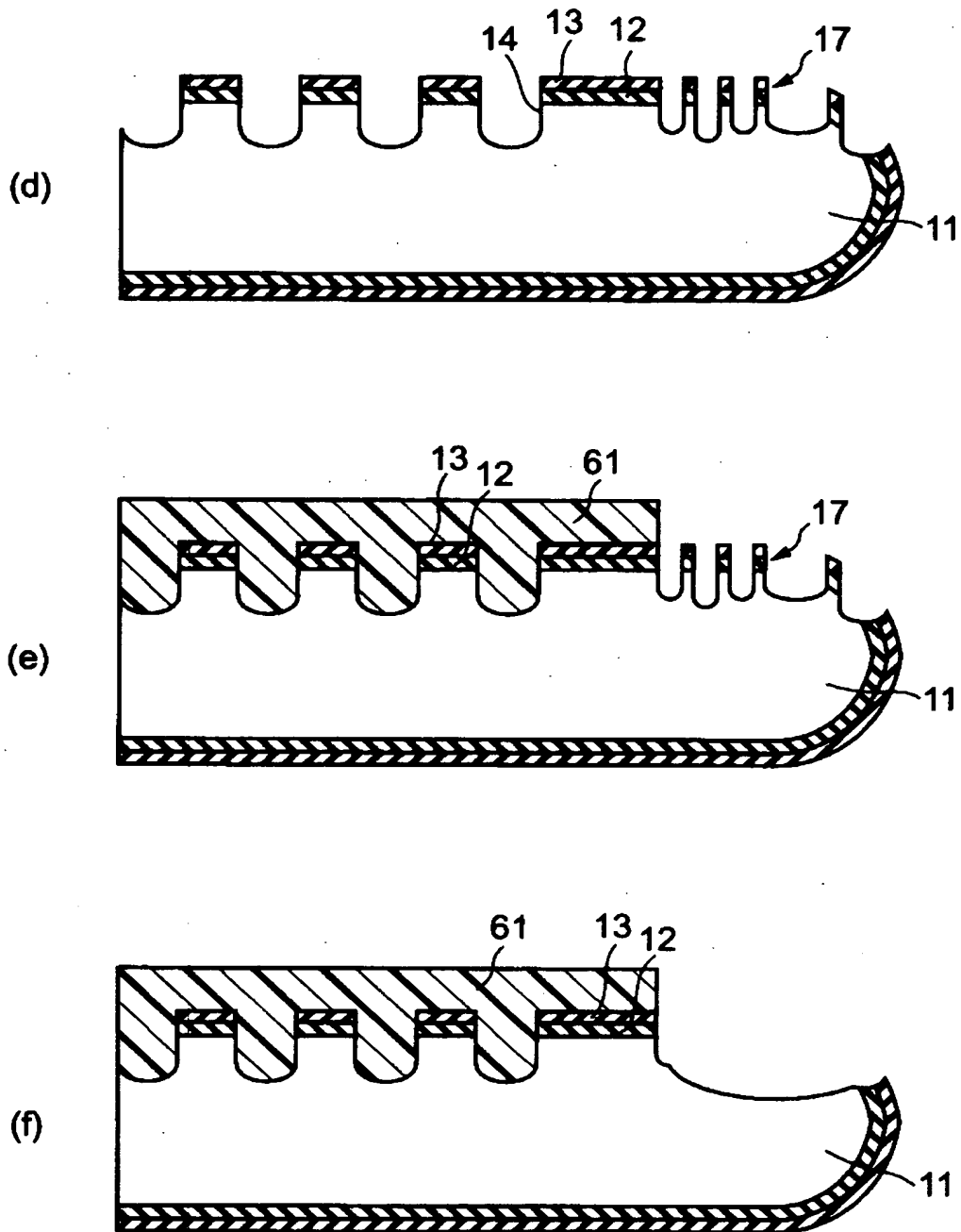
【図 4】



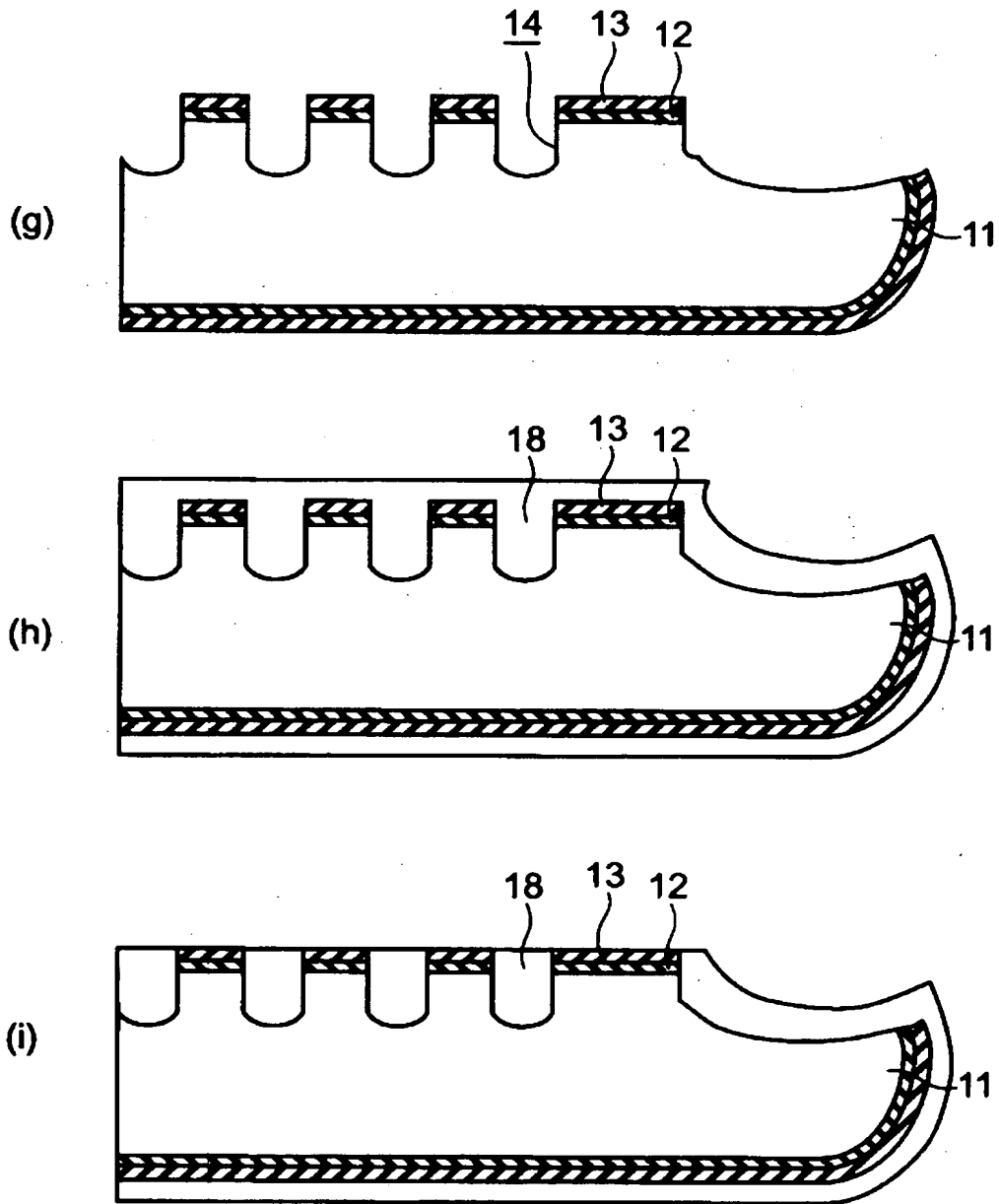
【図 5】



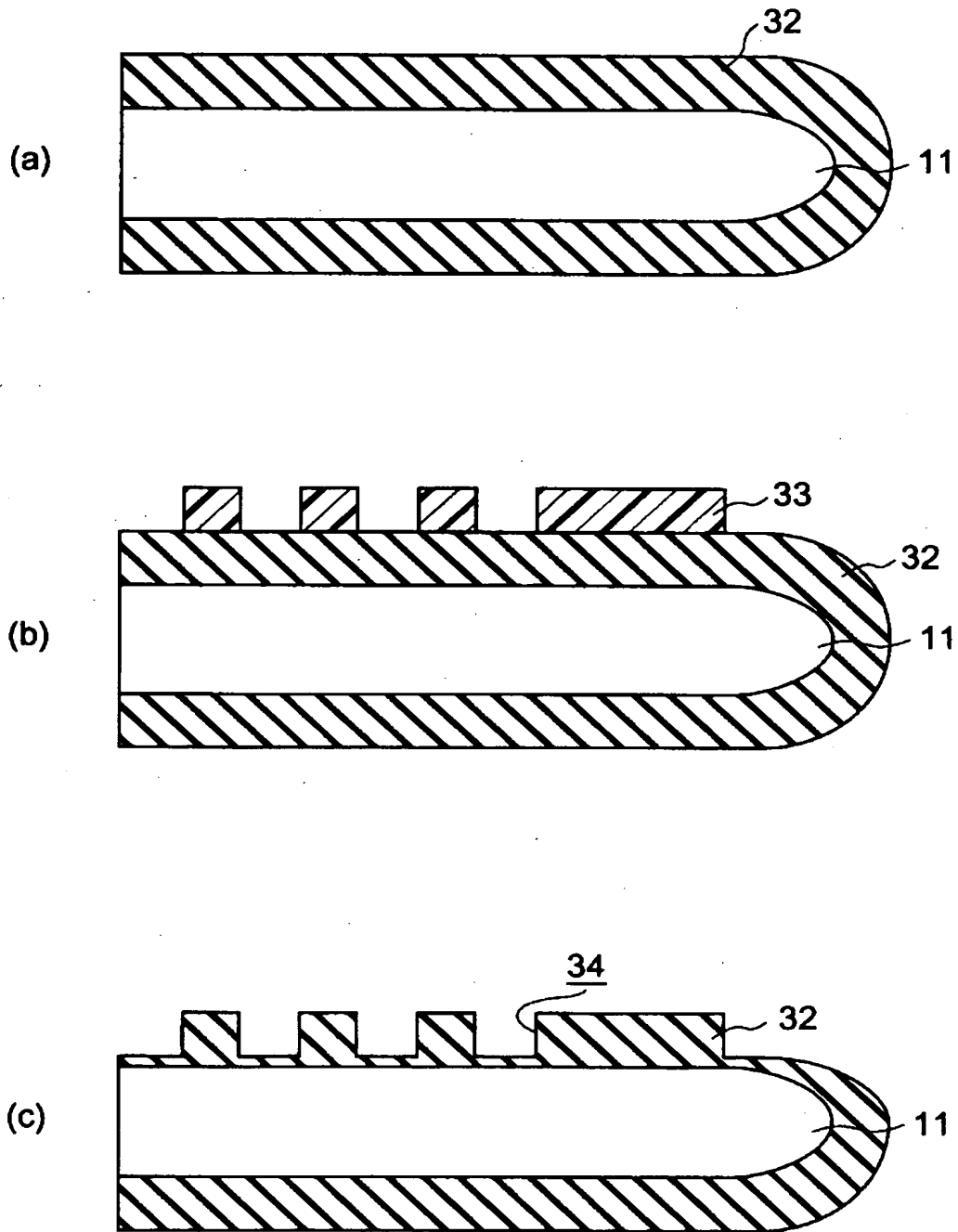
【図 6】



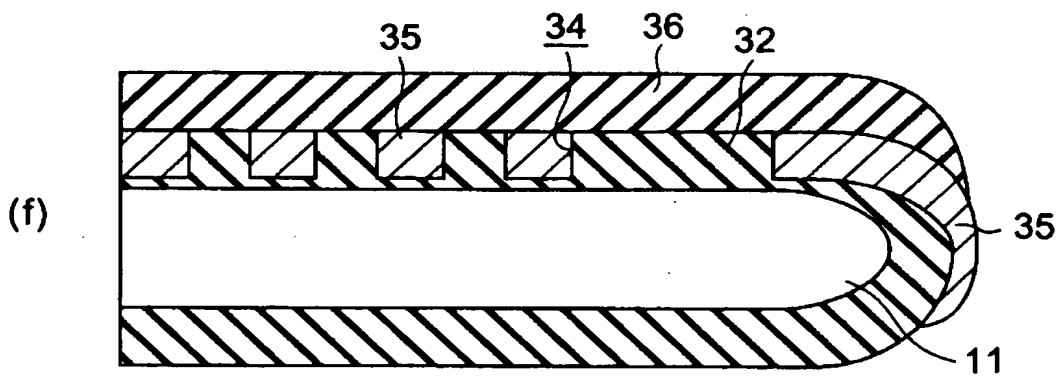
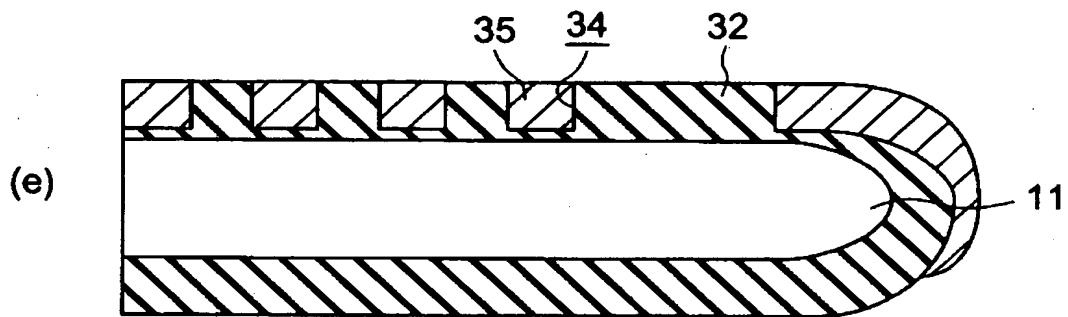
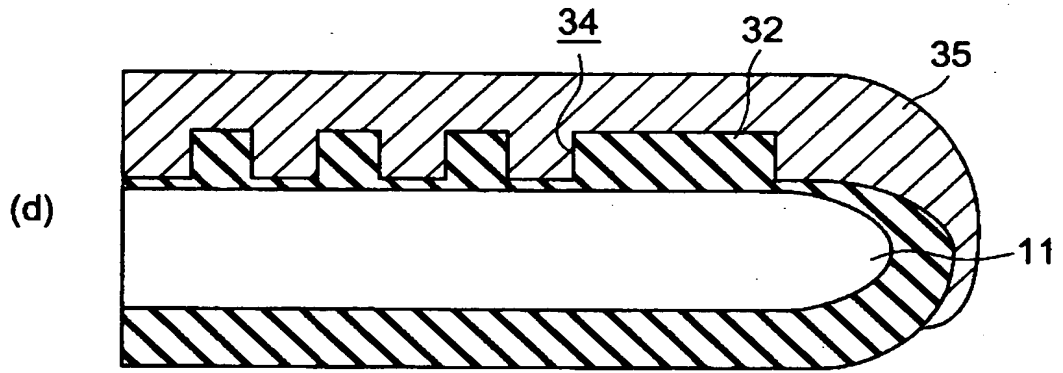
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 エッチング工程において、被処理基板に発生した突起を除去する。

【解決手段】 ウェハ 1 1 のエッジ部 1 1 a 及びベベル部 1 1 b に対して化学的機械研磨を行って、ウェハ 1 1 のエッジ部 1 1 a 及びベベル部 1 1 b の剣山状の突起を取り除く。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.